

Collaborazione INFN-IRST per Sviluppo e produzione di rivelatori a microstrip su silicio.

Questo programma fornisce l'opportunità di coinvolgere un laboratorio italiano (l'IRST di Trento nello sviluppo e nella produzione di rivelatori al silicio, non solo a strip, ma anche di altri tipi: a deriva, a pixel (come primo esempio, dei prototipi di rivelatori a pixel conformi alle specifiche di Atlas sono attualmente in fase di sviluppo all'IRST). E' questo un campo di altissima tecnologia in cui l'INFN è molto attivo, nel quale investe considerevoli risorse finanziarie ed in cui il trasferimento di know-how ad industrie e laboratori può risultare estremamente importante ed efficace. La sezione di Trieste è leader in questa iniziativa di collaborazione con l'IRST, curata in qualità di responsabile dal Prof. Luciano Bosisio (mail: bosisio@trieste.infn.it).

Rispetto alla collaborazione con l'SGS-Thomson, quella con l'IRST risulta idealmente complementare: la prima potrebbe farsi carico di grosse produzioni di rivelatori a singola faccia, mentre il secondo potrebbe fornire piccoli o medi quantitativi (fino a 500/anno) di rivelatori a doppia faccia - sia per LHC, che per altri esperimenti. Inoltre avrebbe la flessibilità, le attrezzature le risorse umane e l'interesse necessari per condurre, in stretta collaborazione con ricercatori INFN, attività di R&D su nuovi rivelatori e dispositivi di front-end associati (si vedano ad esempio i buoni risultati raggiunti nell'integrazione di elementi rivelatori e transistori JFET su silicio di alta resistività [7]).

Si tratta di una collaborazione regolata da uno specifico "Protocollo di Intesa" tra i due Enti, [1] entrato in vigore nel novembre 1996, nel quadro di una più generale "Convenzione", approvata contestualmente [2]. Il Protocollo prevede un programma biennale per la messa a punto presso IRST di una tecnologia di produzione di rivelatori al silicio strutturati a microstrip sulle due facce. Tale programma si basa sui risultati di uno "Studio di Fattibilità" [3] realizzato nella primavera del 1996, che analizza le motivazioni e gli aspetti tecnici del progetto.

Il contributo al progetto da parte INFN consiste nell'apporto delle proprie competenze e del proprio lavoro nella progettazione e nel test dei dispositivi. L'INFN si è impegnata inoltre ad acquistare quattro serie di prototipi realizzati dall'IRST allo scopo di sviluppare la tecnologia.

Il contributo da parte IRST consiste nella messa a disposizione delle proprie strutture e capacità di fabbricazione, nell'acquisizione delle ulteriori attrezzature necessarie e nella messa a punto, attraverso la fabbricazione di alcuni test preliminari e di quattro serie di prototipi di rivelatori a doppia faccia, di un processo tecnologico ottimizzato rispetto ai requisiti dell'INFN.

Responsabile del progetto per parte INFN è L. Bosisio (Trieste). L'attività è seguita da un Comitato di Coordinamento, composto da quattro membri per parte (INFN: L. Bosisio, E. Focardi, P. Giubellino, G. Tonelli)

Il costo a carico dell'INFN è essenzialmente quello relativo all'acquisto delle quattro serie (lotti) di prototipi, stabilito forfettariamente in 100 ML + IVA per ciascun lotto (incluse le maschere fotolitografiche). A questo si aggiunge un modesto costo per spese di missione (3-4ML/anno), e per materiale di consumo per test.

Le risorse umane impegnate dall'INFN consistono in circa tre m.u./anno di un ricercatore (coordinamento, progettazione, test) e dal secondo anno anche di circa sei m.u. di un tecnico (test). L'impegno sul test è aumentato considerevolmente a partire dalla metà del 1998, perché da una parte si è resa disponibile una maggiore quantità di dispositivi da testare, e dall'altra perché è

terminato a Trieste il grosso del lavoro di test dei rivelatori per BaBar (salvo occasionali "code" di test addizionali).

Attività svolta:

Realizzazione (novembre 96 - aprile 97) di due run preliminari a singola faccia, dedicati ad una prima valutazione di opzioni alternative di processo, con particolare riguardo alla resa dei condensatori di accoppiamento integrati sulle strip [4]. I dispositivi sono stati caratterizzati mediante misure elettriche, e hanno fornito indicazioni utili per la successiva definizione di una tecnologia di base, impiegata per il primo lotto di rivelatori.

Design, fabbricazione e test (aprile 97 - dicembre 97) del primo lotto (dei quattro previsti dall'accordo) di rivelatori a strip a doppia faccia [5]. Scopo di questo lotto era - oltre ad una prima verifica della tecnologia - acquisire esperienza nel processing a doppia faccia, portando alla luce i problemi connessi, in particolare quelli di handling. Per la fotolitografia, in attesa dell'arrivo del nuovo allineatore appositamente acquistato, si è utilizzato lo stepper già presente in IRST, in modo fotocomposizione, cioè ottenendo l'immagine del rivelatore a strip (circa 32 cm²) mediante l'esposizione successiva, con preciso allineamento relativo, di tanti piccoli campi delle dimensioni di pochi millimetri ciascuno). Il test ha mostrato che questi rivelatori (i primi del tipo a doppia faccia prodotti in Italia), funzionano ragionevolmente bene, e che il tasso intrinseco di difettosità - prescindendo da problemi derivanti dall'handling (nuovo per IRST) delle fette a doppia faccia e dalla immaturità del processo - è molto basso.

Acquisto da parte IRST di una macchina per fotolitografia con esposizione in "proximity" sull'intero wafer, con possibilità di allineamento fronte-retro (costo 620ML+IVA). Installata nel settembre 97, operativa da ottobre 97.

Design di un nuovo layout (novembre-dicembre 97) e fabbricazione (febbraio-maggio 98) del secondo lotto di rivelatori a strip, realizzato utilizzando per la prima volta il nuovo allineatore [6]. Il test di caratterizzazione elettrica dei dispositivi è stato svolto a Trieste (giugno-dicembre 98). Tutti i rivelatori (tre a doppia faccia su ciascuno dei 19 wafer consegnati) sono stati completamente caratterizzati, insieme a molte delle strutture di test. Da queste misure emergono chiare differenze tra i diversi split di processo (varianti tecnologiche) utilizzati, che permettono di trarre indicazioni utili per lo sviluppo della tecnologia. Lo split considerato di riferimento (wafer n. 5-8) ha dato i risultati migliori, con una frazione di strisce difettose a livello di qualche percento su entrambe le facce. Questo dato è ancora dominato da difetti litografici, in primo luogo corti tra le linee metalliche, ed in minor misura tra gli impianti. Ciò può essere attribuito alla ancora scarsa esperienza nell'handling delle fette in un processo a doppia faccia, oltre che nell'impiego della nuova macchina fotolitografica.

Fabbricazione del terzo lotto di prototipi di rivelatori a strip (novembre 98 - gennaio 99). Per questa serie è stato deciso di utilizzare lo stesso design impiegato per il secondo lotto, concentrandosi sull'evoluzione della tecnologia, in particolare in vista della sua adattabilità ad una fase di produzione di medi quantitativi di rivelatori. E' stata inoltre introdotta su alcuni wafer la passivazione finale con ossido di silicio (assente nei lotti precedenti). A causa di un guasto al sistema di caricamento delle fette dell'impiantatore ionico, quasi tutti i wafer hanno subito una incisione sul bordo, la quale ha provocato la rottura di molti di essi durante le successive fasi della lavorazione. Solo 10 wafer su 20 sono arrivati in fondo al processo (contro 19 su 20 nel lotto precedente). Il test di questi wafer è iniziato nel febbraio 99 ed è quasi completato. Si ottengono risultati decisamente buoni, con una netta diminuzione dei difetti litografici rispetto al lotto precedente ed una molto maggiore uniformità delle caratteristiche, inclusi i wafer che hanno subito il trattamento di passivazione finale. Rispetto allo split migliore del secondo lotto, risulta

leggermente peggiorata (ma ancora buona) la resa dei condensatori di accoppiamento AC integrati sulle strip. Un'analisi quantitativa dei risultati del test di questo lotto è in preparazione.

E' stato completato il design del quarto lotto di rivelatori prototipo, che secondo il programma doveva contenere un rivelatore a strip disegnato secondo le specifiche di un particolare esperimento (a differenza dei primi tre lotti che contenevano rivelatori progettati per scopi di valutazione e test della tecnologia). Da una valutazione della domanda prevedibile per rivelatori a doppia faccia nel prossimo futuro, emerge che i rivelatori per l'esperimento Alice costituiscono il più naturale e realistico obiettivo per la tecnologia sviluppata in IRST, sia per le loro specifiche tecniche, sia per i volumi e i tempi di fabbricazione previsti. E' stato quindi deciso [8] di includere nel design del quarto lotto un rivelatore conforme alle specifiche di Alice.

Attività prevista per la conclusione del programma:

Oltre alla fabbricazione ed al test del quarto lotto di rivelatori (l'ultimo contemplato dal programma di sviluppo), nei prossimi mesi è previsto il montaggio di alcuni rivelatori dei lotti 2 e 3 con elettronica di readout, per test funzionali con sorgenti e possibilmente con un fascio di test, utilizzando il set-up già installato per CMS o altri esperimenti. Saranno anche effettuati dei test di irraggiamento, per valutare la risposta dei rivelatori al danno da radiazione.

[1] Protocollo di intesa tra ITC/IRST e INFN per attivare una collaborazione al fine di sviluppare e fabbricare rivelatori in silicio a microstriscia...

14 Nov. 1996

[2] Convenzione quadro tra l'ITC e l'INFN, 14 Nov 1996

[3] M. Zen, L. Bosisio

"Studio di fattibilità per fabbricazione di rivelatori a microstriscia presso l'IRST".

Nota Interna INFN-IRST, 5 Giugno 1996

[4] G.F. Dalla Betta, M. Boscardin, L. Bosisio

"A comparative evaluation of integrated capacitors for AC-coupled strip detectors".

Nucl. Instr. and Meth., A411 (1998) 369

[5] G.F. Dalla Betta et al.,

"Feasibility study for double-sided silicon microstrip detector fabrication at IRST".

12/98. In corso di pubblicazione su Nucl. Instr. and Meth. A

[6] G.F. Dalla Betta, M. Boscardin, L. Bosisio

"Progetto rivelatori a microstriscia: run SD2".

Nota interna INFN-IRST. 09/98

[7] G.F. Dalla Betta, G. Verzellesi, M. Boscardin, L. Bosisio, G.U. Pignatelli, L. Ferrario, M. Zen, G. Soncini

"Silicon PIN radiation detectors with on-chip front-end junction field effect transistors".

Nucl. Instr. and Meth., A417 (1998) 325-331

[8] Minute della riunione annuale del Comitato di Coordinamento INFN-IRST per collaborazione su rivelatori a microstriscia. Trento, 13-11-1998