

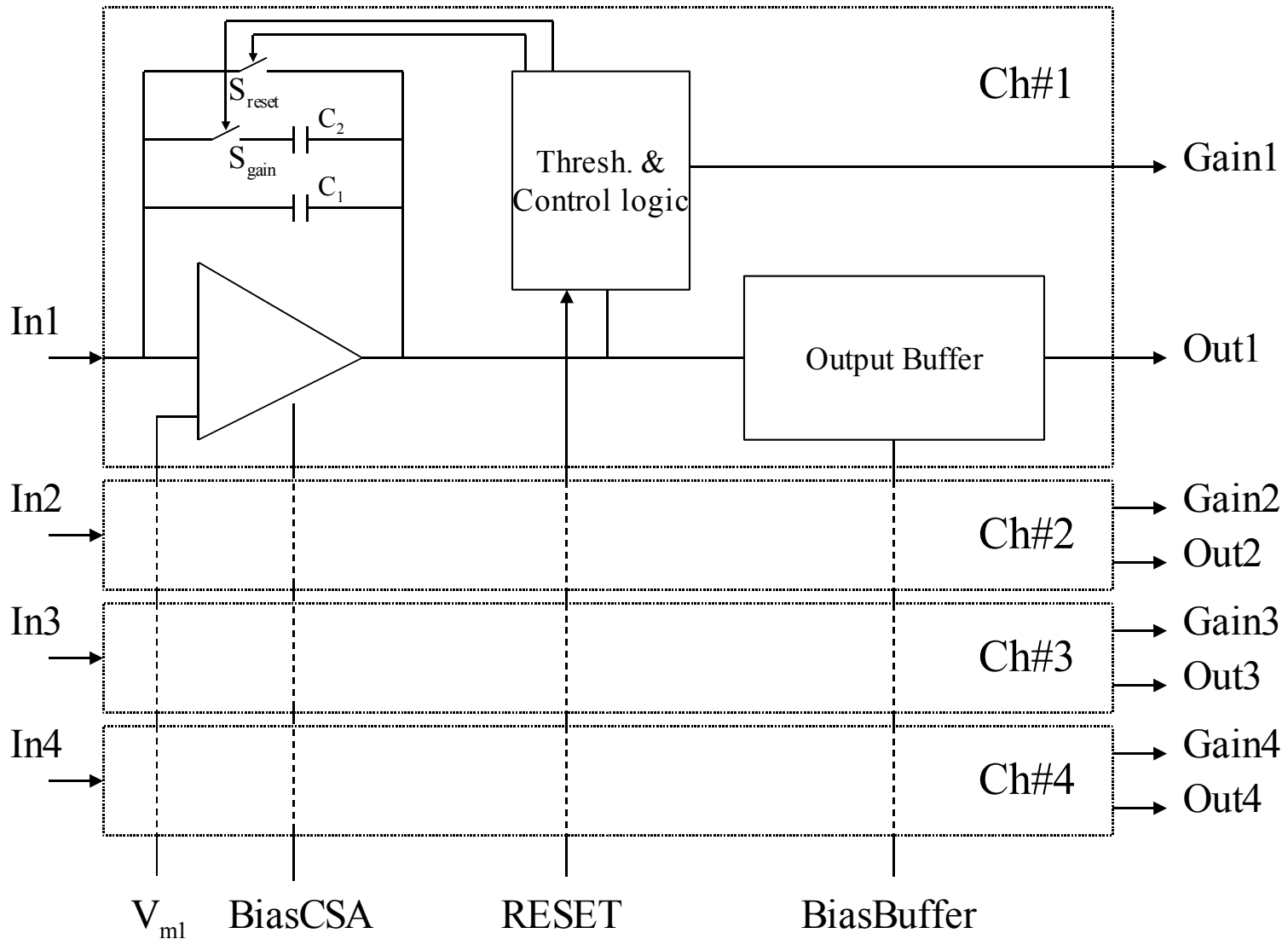
# CR3A – Prototipo a 4 canali

- In accordo con le milestones precedentemente concordate, nel 2003 e' stato realizzato un prototipo a 4 canali di circuito integrato di front-end per lettura di segnali da rivelatori al silicio caratterizzato da elevatissimo range dinamico (**10000 MIP**), in tecnologia AMS 0.8 um CMOS CXQ.
- Il prototipo, denominato **CR3A** ed interamente progettato a Trieste, e' basato su di un'architettura innovativa (dettagli nelle trasparenze successive), e' privo di formatore analogico ed e' pensato per l'utilizzo di tecniche di filtraggio digitali e di un ADC del tipo  $\Sigma$ - $\Delta$ , di cui prevediamo l'integrazione nel chip almeno della prima parte (integratore del secondo ordine) nel successivo prototipo a piu' canali.
- I risultati delle misure, illustrati nelle trasparenze successive, hanno evidenziato caratteristiche piu' che buone, sia in termini di range dinamico (la specifica delle 10000 MIP e' stata rispettata), sia in termini di rumore, sia in termini di generale successo della soluzione architetture studiata (per esempio, il doppio guadagno con selezione automatica del range). Dei 20 chip realizzati, tutti sono funzionanti, con caratteristiche estremamente costanti da chip a chip (differenza max. di guadagno dell'1% tra i 20 chip).
- Le misure effettuate sul CR3A ci portano senz'altro a concludere di poter procedere al progetto ed alla realizzazione del prototipo successivo, piu' completo e dotato di un numero di canali adatto ad un impiego "operativo" (16-32 canali per chip).

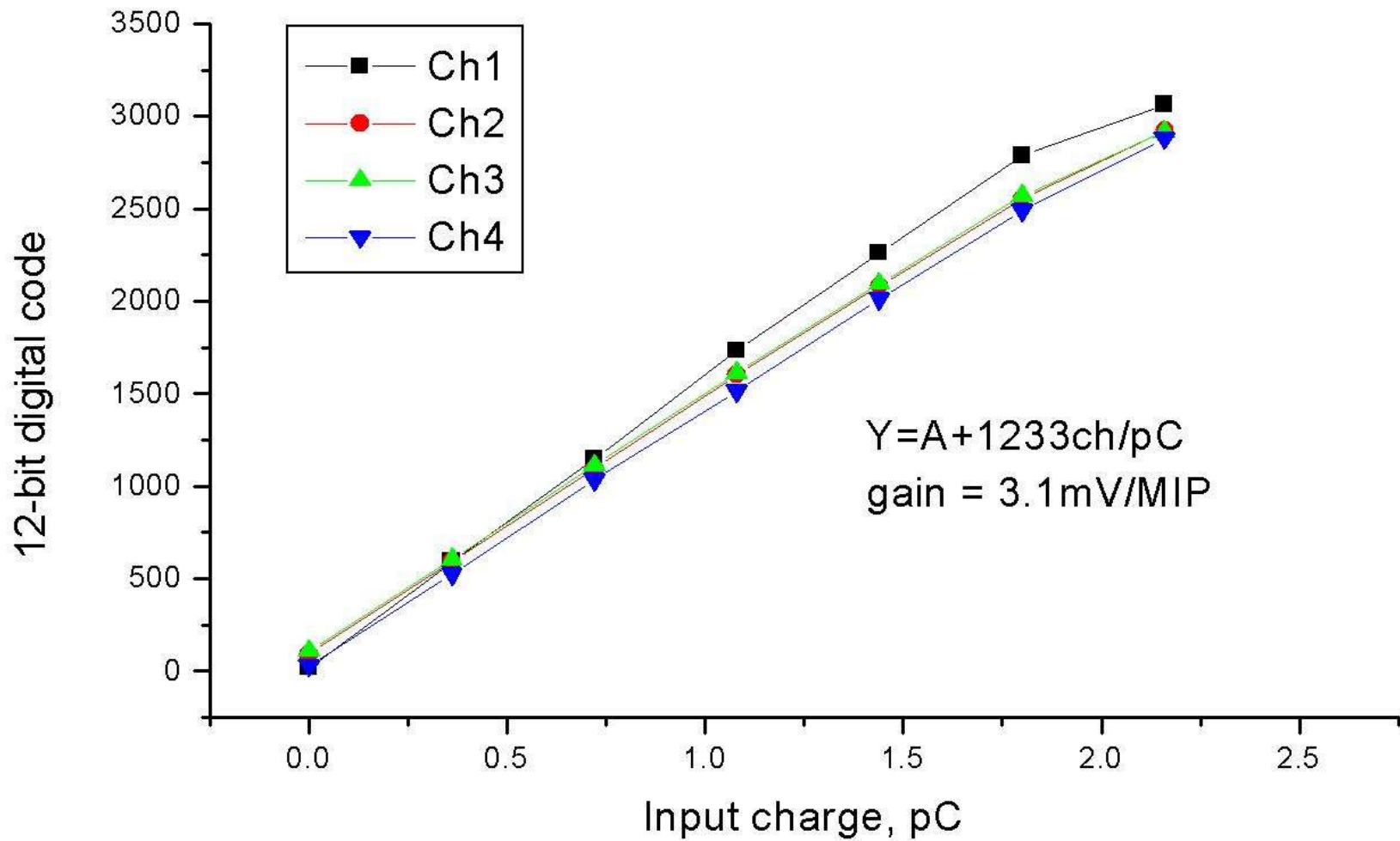
## CR3A main features

- Wide input range  $1 \div 10000$  MIP ( $5\text{fC} \div 50\text{pC}$  input charge)
- 2-gains: high gain  $1 \div 500$  MIP, low gain  $20 \div 10000$  MIP
- Low power consumption  $\sim 7\text{mW/channel}$ ,  $\sim 30\text{mW/chip}$
- Low noise  $\sim 3500e^- + 30 e^-/\text{pF}$
- High linearity  $< 1\%$  INL up to 80% of each gain
- +5V single power supply
- Compact chip layout ( $1500\mu\text{m} \times 250\mu\text{m}$ )/channel
- Low cost CMOS  $0.8\mu\text{m}$  technology
- Easy data acquisition, use of digital filters for noise reducing

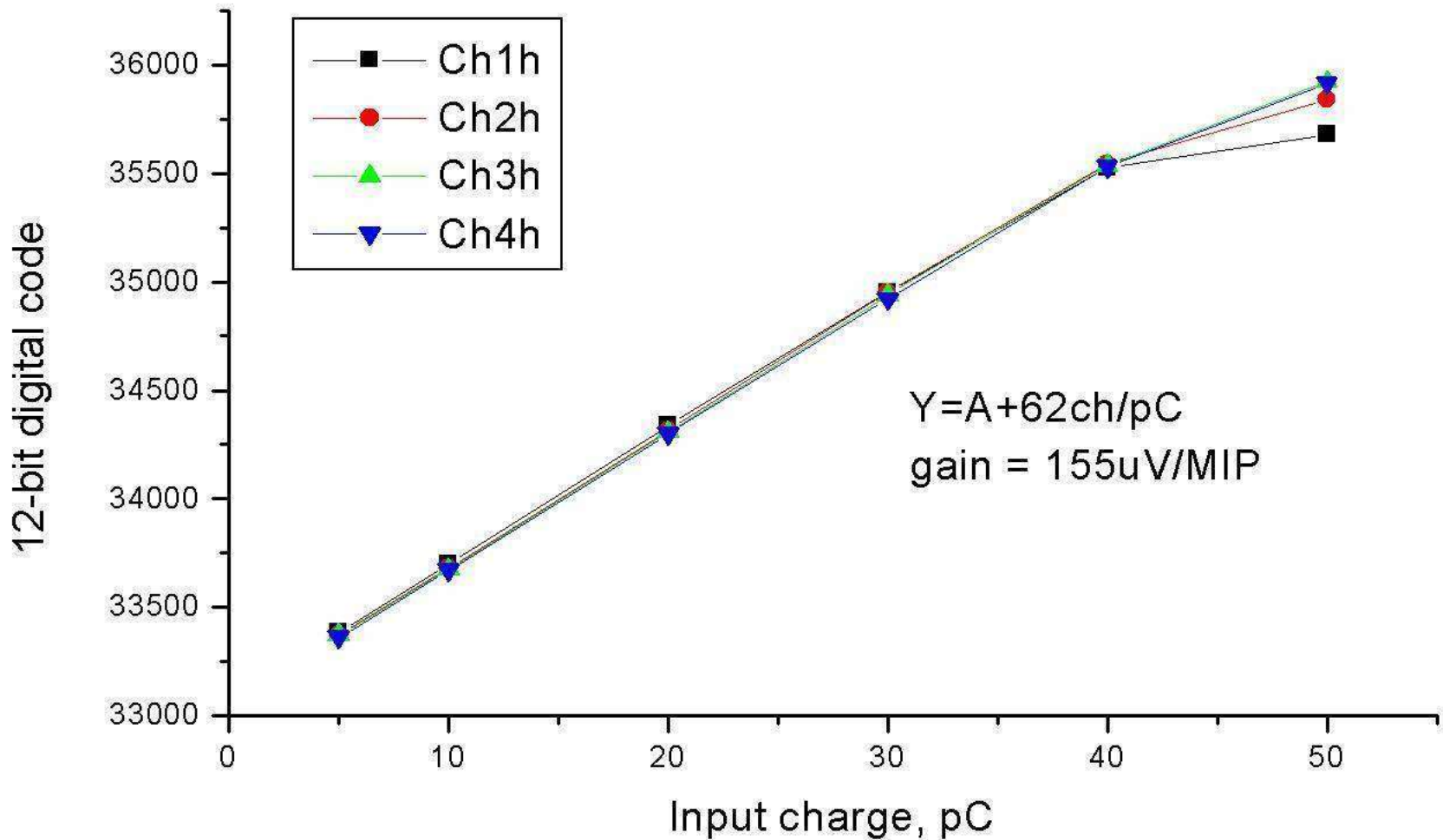
# CR3A block diagram



### Linearity - high gain - all channels



### Linearity - low gain - all channels



Output noise voltage vs.  $C_{det}$

